library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

entity codificator is

port( EI:in bit; I:in bit\_vector(0 to 7);

A:out bit\_vector(2 downto 0);

GS,EO:out bit);

end codificator;

architecture arh of codificator is

begin

if EI=’1’ then A=”111”; GS=’1’; EO=’1’; end if;

if EI=’0’ then

if I=”11111111” then A=”111”; GS=’1’; EO=’0’;

else GS=’0’; EO=’1’; if I(7)=’0’ then A=”000”; end if;

if I(6)=’0’ then A=”001”; end if;

if I(5)=’0’ then A=”010”; end if;

if I(4)=’0’ then A=”011”; end if;

if I(3)=’0’ then A=”100”; end if;

if I(2)=’0’ then A=”101”; end if;

if I(1)=’0’ then A=”110”; end if;

if I(0)=’0’ then A=”111”; end if;

end if;

end if;

end arh;